

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(2) Japanese Patent Application Laid-Open No. 9-223667 (1997):

"MULTILAYERED SUBSTRATE AND METHOD OF MANUFACTURING THE SAME"

5 The following is an extract relevant to the present application.

 As shown in Figs. 3 and 4, surface orientations of an SOI layer 3 and a supporting substrate 1 are set to be identical to each other, and an orientation flat of the supporting substrate 1 is made perpendicular to or parallel with $\langle 110 \rangle$,
10 and an orientation flat of the SOI layer 3 is made perpendicular to or parallel with $\langle 100 \rangle$.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-223667

(43) 公開日 平成9年(1997)8月26日

(51) IntCl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/20		H 0 1 L 21/20	
	21/02		21/02	B
	21/8244		27/12	B
	27/11		27/10	3 8 1
	27/108			6 1 1

審査請求 未請求 請求項の数19 O L (全 12 頁) 最終頁に続く

(21) 出願番号 特願平8-29014

(22) 出願日 平成8年(1996)2月16日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 堀内 勝忠

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(74) 代理人 弁理士 薄田 利幸

(54) 【発明の名称】 積層基板およびその製造方法

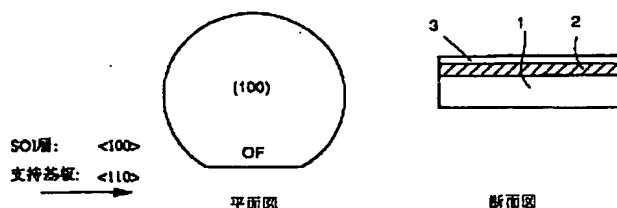
(57) 【要約】

【課題】 高濃度イオン注入によってSOI層に形成された非晶質領域を、容易に結晶回復化することができる構造の積層基板およびその製造方法を提供する。

【解決手段】 SOI層および支持基板の面方位を互いに等しくし、かつ、支持基板のオリエンテーションフラットを、 $\langle 110 \rangle$ に垂直または平行、SOI層のオリエンテーションフラットを、 $\langle 100 \rangle$ に垂直または平行にする。

【効果】 チップ欠けなしに各半導体装置を互いに分離できると共に、数 μm 幅の非晶質領域を結晶回復化して、シート抵抗を従来に比べて1/2から1/3に低下できる。

図 4



【特許請求の範囲】

【請求項 1】第一の単結晶半導体からなる支持基板と、当該支持基板上に形成された絶縁膜と、当該絶縁膜上に形成された第二の単結晶半導体からなる半導体層を具備し、上記支持基板および半導体層は、結晶面方位が互いに同一で、結晶軸方位が互いに 45 ± 4 度内の角度だけ回転していることを特徴とする積層基板。

【請求項 2】上記支持基板および半導体層の結晶面方位は (100) または (100) から ± 4 度以下だけ傾いた角度であり、上記支持基板のオリエンテーションフラットは $\langle 110 \rangle$ に垂直の方向または当該垂直の方向から ± 2 度以下だけ傾いた方向であり、かつ、上記半導体層のオリエンテーションフラットは $\langle 100 \rangle$ に垂直の方向または当該垂直の方向から ± 2 度以下だけ傾いた方向であることを特徴とする請求項 1 記載の積層基板。

【請求項 3】上記半導体層の厚さは 500nm 以下、 5nm 以上であることを特徴とする請求項 1 若しくは 2 に記載の積層基板。

【請求項 4】第一の単結晶半導体からなる支持基板および表面上に絶縁膜が形成された第二の単結晶半導体からなる半導体基板を用意する工程と、上記支持基板と上記絶縁膜を互に対向させて張合わせる工程と、上記半導体基板の裏面側から上記半導体基板の厚さを小さくして半導体層を形成する工程を含み、上記支持基板および半導体層は結晶面方位が互いに同一で、かつ、上記支持基板と上記絶縁膜を互に対向させて張合わせる工程は、上記支持基板と上記半導体基板の結晶軸方位が互いに 45 ± 4 度以下の角度で回転している位置に、上記支持基板と上記半導体基板を配置して行なわれることを特徴とする積層基板の製造方法。

【請求項 5】上記支持基板および半導体層の結晶面方位は (100) または (100) から 4 度以上以下だけ傾いた角度であり、上記支持基板のオリエンテーションフラットは $\langle 110 \rangle$ に垂直の方向または当該垂直の方向から ± 2 度以下だけ傾いた方向であり、かつ、上記半導体層のオリエンテーションフラットは $\langle 100 \rangle$ に垂直の方向または当該垂直の方向から ± 2 度以下だけ傾いた方向であることを特徴とする請求項 4 記載の積層膜の製造方法。

【請求項 6】請求項 1 から 3 のいずれかに記載の積層基板を具備し、上記半導体層には半導体素子が形成され、当該半導体素子は $\langle 100 \rangle$ に平行な方向および垂直な方向のパターンを有していることを特徴とする半導体装置。

【請求項 7】上記半導体素子は MOS 電界効果型トランジスタであり、上記パターンはゲート電極および配線であることを特徴とする請求項 6 記載の半導体装置。

【請求項 8】上記 MOS 電界効果型トランジスタのノードには容量素子が接続されて、一単位の記憶装置が構成されていることを特徴とする請求項 7 記載の半導体装

置。

【請求項 9】第一の上記 MOS 電界効果型トランジスタと第二の上記 MOS 電界効果型トランジスタが互いに接続されて一対をなし、上記 MOS 電界効果型トランジスタと第二の上記 MOS 電界効果型トランジスタの二対で一単位の記憶装置が構成されていることを特徴とする請求項 7 記載の半導体装置。

【請求項 10】上記半導体層に論理回路装置が構成されていることを特徴とする請求項 7 記載の半導体装置。

【請求項 11】上記半導体層には非同期型伝送モード装置が形成されていることを特徴とする請求項 7 記載の半導体装置。

【請求項 12】上記半導体層にはプロセッサ装置が形成されて 1 であることを特徴とする請求項 7 記載の半導体装置。

【請求項 13】第一の単結晶半導体からなる支持基板および表面上に絶縁膜が形成された第二の単結晶半導体からなる半導体基板を用意する工程と、上記支持基板と上記絶縁膜を互に対向させて張合わせる工程と、上記半導体基板の裏面側から上記半導体基板の厚さを小さくして半導体層を形成する工程を含み、上記支持基板および半導体基板は結晶面方位が互いに同一で、かつ、上記支持基板と上記絶縁膜を互に対向させて張合わせる工程は、上記支持基板と上記半導体基板の結晶軸方位が互いに 45 ± 4 度以下の角度で回転している位置に、上記支持基板と上記半導体基板を配置して行なわれることを特徴とする積層基板の製造方法。

【請求項 14】上記支持基板および半導体層の結晶面方位は (100) または (100) から 4 度以上以下だけ傾いた角度であり、上記支持基板のオリエンテーションフラットは $\langle 110 \rangle$ に垂直の方向または当該垂直の方向から ± 2 度以下だけ傾いた方向であり、かつ、上記半導体層のオリエンテーションフラットは $\langle 100 \rangle$ に垂直の方向または当該垂直の方向から ± 2 度以下だけ傾いた方向であることを特徴とする請求項 13 記載の積層基板の製造方法。

【請求項 15】第一の単結晶半導体からなる支持基板および表面上に絶縁膜が形成され上記支持基板と同一の結晶面方位を有する第二の単結晶半導体からなる半導体基板を用意する工程と、上記支持基板と上記半導体基板を、当該支持基板と上記半導体基板の結晶軸方位が互いに 45 ± 4 度以下の角度で回転している位置に配置して互に対向させて張合わせる工程と、上記半導体基板の裏面側から上記半導体基板の厚さを小さくして半導体層を形成する工程と、上記半導体層に上記結晶軸方位に垂直または平行な方向から ± 2 度以内の角度であるパターンを有する半導体装置を形成する工程を、少なくとも含むことを特徴とする半導体装置の製造方法。

【請求項 16】上記支持基板および半導体層の結晶面方位は (100) または (100) から ± 4 度以下だけ傾

いた角度であり、上記支持基板のオリエンテーションフラットは $\langle 110 \rangle$ に垂直の方向または当該垂直の方向から ± 2 度以下だけ傾いた方向であり、かつ、上記半導体層のオリエンテーションフラットは $\langle 100 \rangle$ に垂直の方向または当該垂直の方向から ± 2 度以下だけ傾いた方向であることを特徴とする請求項 15 記載の半導体装置の製造方法。

【請求項 17】上記半導体層の所望領域に高濃度の不純物をイオン打ち込みして、上記半導体基板上に上記絶縁膜に達する非晶質領域を形成する工程と、熱処理を行なって上記非晶質領域を結晶回復化させる工程を、さらに含むことを特徴とする請求項 15 若しくは 16 記載の半導体装置の製造方法。

【請求項 18】上記パターンは、MOS 型電界効果トランジスタのゲート電極および配線であることを特徴とする請求項 15 から 17 のいずれか一に記載の半導体装置の製造方法。

【請求項 19】上記非晶質領域を結晶回復化させる工程によって、MOS 電界効果型トランジスタのソース、ドレイン領域が形成されることを特徴とする請求項 17 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は積層基板とその製造方法および半導体装置とその製造方法に関し、詳しくは、高い歩留まりで製造することができ、シート抵抗を著しく小さくすることができる積層基板とその製造方法およびこの積層基板を用いて製造された、大電流および高速動作が可能な半導体装置とその製造方法に関する。

【0002】

【従来の技術】図 1 に示したように、支持基板 1、この支持基板 1 上に形成された絶縁膜 2、およびこの絶縁膜 2 によって上記支持基板 1 から分離された薄い単結晶の半導体層 3 から構成された積層基板は、シリコン・オン・インシュレータ (SOI と略称される) 基板として周知である。

【0003】この SOI 基板を形成する方法としては、

(a) 支持基板 1 の内部に高濃度の酸素イオンを注入した後、高温熱処理を行って絶縁膜 2 を形成し、この絶縁膜 2 の表面上に薄い単結晶半導体層 3 を形成する方法、および (b) 単結晶半導体基板 3 の表面上に絶縁膜 2 をあらかじめ形成しておき、上記支持基板 1 と絶縁膜 3 を互に対向させて直接接着法によって張合わせた後、接着強度を大きくするための熱処理を行い、次に単結晶半導体基板 3 の裏面側から研削、研磨、およびプラズマエッチング等を順次行って、単結晶半導体基板 3 を薄くし、半導体層 3 とする方法、等が行われている。

【0004】上記従来の製法 (a)、(b) においては、いずれも上記支持基板 1 としては Si 単結晶基板が用いられ、この Si 単結晶基板は、従来の半導体層の仕

様に準じて、結晶面方位は $\langle 100 \rangle$ 、結晶軸方位の指示指標であるオリエンテーションフラット (OF と略記される) は $\langle 110 \rangle$ に垂直な方向にそれぞれ設定されていた。

【0005】薄い単結晶の半導体層 3 も、従来の半導体層の仕様に準じて、結晶面方位は $\langle 100 \rangle$ 、OF は $\langle 110 \rangle$ に垂直な方向にそれぞれ設定された単結晶 Si 層が用いられていた。

【0006】上記従来の SOI 基板を用いた半導体装置において、半導体装置および半導体装置を構成する半導体素子が積載された半導体チップは、上記 OF を基準として配置され、各半導体装置および半導体チップの一边は $\langle 110 \rangle$ に垂直または平行な辺で構成されていた。従来の半導体装置の各辺が $\langle 110 \rangle$ に垂直または平行な辺で構成されていた最大の理由は、半導体層に複数個製造された、矩形チップにそれぞれ配置された半導体装置を、周知の切断法によって分離するに際し、 $\langle 110 \rangle$ 方向に劈開するのが直線的で制御が最も容易であるためである。

【0007】

【発明が解決しようとする課題】しかし、本発明者の検討によれば、上記従来 SOI 基板を用いて製造された半導体装置、特に薄い単結晶半導体層 (SOI 層) 3 の膜厚が 500 nm 以下と極度に薄い場合は、埋込み絶縁膜 2 との界面に達するように高濃度イオン注入を行うと、薄い単結晶半導体層 3 に形成された、高濃度イオン注入領域の結晶回復に重大な問題が存在することが見出された。

【0008】例えば、周知の MOS トランジスタ製造工程にもとづいて、高濃度イオン注入によって、ソース・ドレイン拡散層を薄い単結晶半導体層 3 内に形成すると、形成されたソース・ドレイン拡散層の結晶回復および非晶質からの固相エピタキシャル成長の機構が、通常の半導体層にソース・ドレイン拡散層を形成した場合とは、いちじるしく異なることが見出された。

【0009】周知のように、ゲート電極をマスクとするイオン注入によって形成された高濃度ソース・ドレイン領域は、非晶質化されている。面方位が $\langle 100 \rangle$ である通常の半導体基板を用いた場合は、イオン注入後に行われる熱処理によって、主としてイオン注入領域の底面からの固相エピタキシャル成長、およびゲート端部側面からの固相エピタキシャル成長によって、非晶質領域の単結晶化が進行することが知られている。この場合、側面からの単結晶化の寄与は比較的小さく、非晶質領域の単結晶化は、ゲート端の方位が $\langle 110 \rangle$ であるか、あるいは $\langle 100 \rangle$ であるかには殆ど依存しない。

【0010】しかし、極めて薄い単結晶半導体層 3 にイオン注入を行なった場合は、高濃度ソース・ドレイン非晶質領域の底部は埋込み酸化膜 2 に接しており、高濃度ソース・ドレイン非晶質領域の底部には単結晶半導体領

域が存在しない。そのため、イオン注入後に熱処理を行っても、非晶質領域の底面側からは、多結晶化が進行するのみで、底面側からの固相単結晶エピタキシャル成長は進行しない。

【0011】この場合の高濃度ソース・ドレイン非晶質領域の単結晶化は、ゲート電極端からの横方向の固相エピタキシャル成長によって進行するが、ソース・ドレイン拡散層上のゲート絶縁膜、および底面の埋め込み酸化膜2と非晶質領域端の接点を起点とする(111)面フアセットによって、一様な横方向固相エピタキシャル成長が阻害され、図2に模式的に示したように、さらなる単結晶化が進行しないことが、透過型電子顕微鏡によるソース・ドレイン拡散層の断面観察によって見出された。

【0012】ソース・ドレイン拡散層が単結晶ではなく多結晶であると、高濃度の不純物が添加されているにもかかわらず、結晶粒界の影響によって抵抗が2から3倍増大してしまう。そのため、寄生容量が小さく、大電流化が可能であることが特長であり、低消費電力および高速動作が可能であるという薄膜SOIトランジスタの長所が、直列抵抗の増加によって半減されてしまう。

【0013】本発明の目的は、上記従来の問題を解決し、上記半導体層(SOI層)に形成された非晶質領域を容易に単結晶化できる積層基板とその製造方法を提供することである。

本発明の他の目的は、上記半導体層に形成され、寄生容量が小さく大電流化が可能な半導体装置およびその製造方法を提供することである。

【0014】

【課題を解決するための手段】上記目的を達成するための本発明の積層基板は、第一の単結晶半導体からなる支持基板と、当該支持基板上に形成された絶縁膜と、当該絶縁膜上に形成された第二の単結晶半導体の薄い層からなる半導体層を具備し、上記支持基板および半導体層は、結晶面方位が互いに同一で、結晶軸方位が互いに 45 ± 4 度内の角度だけ回転していることを特徴とする。

【0015】すなわち、支持基板と半導体層(SOI層)の面方位を互いに等しくし、半導体層の結晶軸方位は、支持基板の結晶軸方位とは所定の角度だけ異なるようにした。上記半導体層の厚さは、上記支持基板の厚さに対して無視できるほど薄いので、劈開方向は支持基板の面方位によって決まり、支持基板のOF(オリエンテーションフラット)方向と平行または垂直方向に容易に劈開することができ、これにより、ウエハを各チップに分離する際における支持基板の劈開を支障なく行われ、さらに半導体層に形成された非晶質領域を容易に単結晶化することができる。本発明において、SiウエハのOFは規定方向から2度程度のずれは許容することができるので、支持基板と単結晶半導体層間の方位(45 度)に4度程度のずれが生じていても実用上支障はない。

【0016】上記支持基板および半導体層の結晶面方位を(100)または(100)から ± 4 度以下だけ傾いた角度とし、上記支持基板のOFは $\langle 110 \rangle$ に垂直の方向または当該垂直の方向から ± 2 度以下だけ傾いた方向であり、かつ、上記半導体層のOFは $\langle 100 \rangle$ に垂直の方向または当該垂直の方向から ± 2 度以下だけ傾いた方向とすることによって、極めて好ましい結果が得られる。

【0017】上記半導体層の厚さは500nm以下、5nm以上とすることができる。

【0018】これら積層基板は、張合わせ法として知られる方法によって形成することができ、第一の単結晶半導体からなる支持基板および表面上に絶縁膜が形成された第二の単結晶半導体からなる半導体基板を用意する工程と、上記支持基板と上記絶縁膜を互に対向させて張合わせる工程と、上記半導体基板の裏面側から上記半導体基板の厚さを小さくして半導体層とする工程を含み、上記支持基板および半導体層は結晶面方位が互いに同一で、かつ、上記支持基板と上記絶縁膜を互に対向させて張合わせる工程は、上記支持基板と上記半導体基板の結晶軸方位が互いに 45 ± 4 度以下の角度で回転している位置に、上記支持基板と上記半導体基板を配置して行なうことによって極めて好ましい結果が得られる。

【0019】この場合、上記支持基板と半導体基板の結晶面方位を(100)または(100)から ± 4 度以下だけ傾いた角度とし、上記支持基板をOFは $\langle 110 \rangle$ に垂直の方向または当該垂直の方向から ± 2 度以下だけ傾いた方向とし、かつ、上記半導体層のOFを $\langle 100 \rangle$ に垂直の方向または当該垂直の方向から ± 2 度以下だけ傾いた方向にすることによって、極めて好ましい結果が得られる。

【0020】上記本発明の積層基板の上記半導体層には半導体素子が形成され、この半導体素子はのパターンを、 $\langle 100 \rangle$ に平行な方向および垂直な方向とすることによって、極めて好ましい半導体装置が得られる。

【0021】上記半導体素子がMOS電界効果型トランジスタ、上記パターンがこのMOS電界効果型トランジスタのゲート電極および配線である半導体装置を形成することができる。

【0022】上記MOS電界効果型トランジスタのノードに容量素子を接続して、一単位の記憶装置を構成することができ、また、第一の上記MOS電界効果型トランジスタと第二の上記MOS電界効果型トランジスタを互いに接続して一対とし、上記MOS電界効果型トランジスタと第二の上記MOS電界効果型トランジスタの二対で一単位の記憶装置を形成することができる。

【0023】上記半導体層には、論理回路装置、非同同期型伝送モード装置およびプロセッサ装置など各種回路装置を形成することができる。

【0024】上記積層構造は、第一の単結晶半導体から

なる支持基板および表面上に絶縁膜が形成された第二の単結晶半導体からなる半導体層を用意する工程と、上記支持基板と上記絶縁膜を互いに対向させて張合わせる工程と、上記半導体層の裏面側から上記半導体層の厚さを小さくする工程を含み、上記支持基板および半導体層は結晶面方位が互いに同一で、かつ、上記支持基板と上記絶縁膜を互いに対向させて張合わせる工程は、上記支持基板と上記半導体層の結晶軸方位が互いに 45 ± 4 度以下の角度で回転している位置に、上記支持基板と上記半導体層を配置して行なわれることを特徴とする製造方法によって支障なく形成できる。

【0025】この製造方法において、上記支持基板および半導体層の結晶面方位は (100) または (100) から 4 度以下だけ傾いた角度とし、上記支持基板の OF は $<110>$ に垂直の方向または当該垂直の方向から ± 2 度以下だけ傾いた方向とし、かつ、上記半導体層の OF は $<100>$ に垂直の方向または当該垂直の方向から ± 2 度以下だけ傾いた方向とすることによって、極めて好ましい結果が得られる。

【0026】さらに、上記半導体層 (SOI 層) に半導体装置を形成するためには、第一の単結晶半導体からなる支持基板および表面上に絶縁膜が形成され上記支持基板と同一の結晶面方位を有する第二の単結晶半導体からなる半導体基板を用意する工程と、上記支持基板と上記半導体基板を、当該支持基板と上記半導体基板の結晶軸方位が互いに 45 ± 4 度以下の角度で回転している位置に配置して互いに対向させて張合わせる工程と、上記半導体基板の裏面側から上記半導体基板の厚さを小さくして半導体層とする工程と、上記半導体層に上記半導体膜の結晶軸方位に垂直または平行な方向から ± 2 度以内の角度であるパターンを有する半導体装置を形成する工程を、少なくとも含むことを特徴とする半導体装置の製造方法を用いることができる。

【0027】この場合、半導体層に形成された各半導体素子のパターンが、上記半導体層の結晶軸方位に垂直または平行な方向から ± 2 度以内の角度を有しているため、各半導体素子に悪影響を与えることなしに、劈開を行って、半導体ウエハを各チップに分離することができる。

【0028】上記支持基板および半導体層の結晶面方位を (100) または (100) から 4 度以下だけ傾いた角度とし、上記支持基板の OF を $<110>$ に垂直の方向または当該垂直の方向から ± 2 度以下だけ傾いた方向とし、かつ、上記半導体層の OF を $<100>$ に垂直の方向または当該垂直の方向から ± 2 度以下だけ傾いた方向とすれば、極めて好ましい結果が得られる。

【0029】上記半導体装置の製造方法において、上記半導体層の所望領域に高濃度の不純物をイオン打ち込みして、上記半導体基板に上記絶縁膜に達する非晶質領域を形成する工程と、熱処理を行なって上記非晶質領域を単

結晶化させる工程を、さらに含むことができる。

【0030】また、半導体装置の製造方法において、上記半導体素子として MOS 型電界効果トランジスタを上記半導体膜に形成することができ、上記パターンはこの MOS 型電界効果トランジスタのゲート電極および配線であり、また、上記非晶質領域を単結晶化させる工程によって、MOS 電界効果型トランジスタのソース、ドレイン領域を形成することができる。

【0031】

【発明の実施の形態】本発明において、積層基板 (SOI 基板) の実効的厚さを規定している支持基板の結晶軸方位は、従来の通常の半導体ウエハと同じく 110° 方位に設定したが、これは半導体チップを切断法によって分離する際の、分離不良によるチップ欠けを防止するためであり、結晶軸方位の指示指標である OF を、 $<110>$ 方向と垂直な方向となるように設定した。この場合、 $<110>$ 方向と垂直な方向から ± 2 度以内ならば、OF がずれていても、劈開による半導体ウエハの分割など、所要工程を支障なく行うことができる。

【0032】一方、半導体装置が形成される薄い単結晶の半導体層 (SOI 層) 3 に関しては、本発明では結晶軸方位を $<100>$ に対して垂直な面となるように OF を設定した。これにより、非晶質領域が熱処理によって容易に単結晶化できるようになった。この場合、支持基板の場合と同様に、半導体層 3 の OF が $<100>$ 方向と垂直な方向から ± 2 度以内ならば、OF がずれていても、非晶質領域の単結晶化を支障なく行うことができる。

【0033】本発明の積層基板は、結晶性に優れている直接張合わせ法を用いて製造した。すなわち、図 3 に示したように、半導体基板 3 上に形成された酸化膜 2 と支持基板 1 を、支持基板 1 と半導体層 3 の OF が一致するように整合して対向密着させて、それ以降の工程を従来する方法に従って積層構造を形成した。接着時の温度、雰囲気および圧力などの条件は、周知の条件を使用できる。

【0034】上記 SOI 基板の薄い単結晶半導体層 3 に、周知の方法を用いて、ゲート電極の端部が OF と垂直あるいは平行となるように形成し、このゲート電極をマスクとして、ソース・ドレイン拡散層形成のための高濃度イオン注入を行った。このイオン注入によって、埋め込み酸化膜 2 界面に達する非晶質領域が、上記半導体層に形成された。しかし、例えば窒素雰囲気中、 600°C 、2 時間の熱処理、および 800°C 、10 分の熱処理を行った後、透過型電子顕微鏡によって断面観察を行うと、本発明の場合は、埋め込み酸化膜 2 に接する一部領域を除いて、ゲート電極の端部から $3\mu\text{m}$ 以上にわたって単結晶化されているのが確認された。

【0035】この結果は、従来の SOI 基板について、上記イオン注入と熱処理を同一条件で行った場合の単結

晶化距離が、上記のようにファセット形成によって0.1 μm 以下に過ぎなかったのに比べ、飛躍的に改善されたものであることは明らかである。これにより、ソース拡散層抵抗も、従来SOI基板を用いた場合に比べて2から3倍低減され、通常の基板と同程度にまで改善することができた。

【0036】また、上記半導体チップおよび上記半導体層に形成された半導体素子は、各辺の方位が〈110〉に平行または垂直な辺から構成されているため、上記積層基板を劈開して切断する際に、制御が極めて容易で高い精度で切断を行うことができる。

【0037】SOI層である半導体層3の、半導体装置製造後における膜厚が300 nm以下であれば、周知のLOCOS法によって素子分離を完全に行なうことができ、深溝形成など余分の製造工程を行う必要がないので実用上好ましい。

【0038】ただし、半導体装置の製造の過程において、洗浄工程等によってSOI層3が削れて厚さが減少することを考慮して、半導体装置を製造する前のSOI膜厚は500 nm以下とすることが望ましい。

【0039】本発明によれば、SOI層である上記半導体層3に、高濃度イオン注入を行った際に生ずる非晶質領域の結晶回復を効果的に行うことができるので、製造の過程で高濃度イオン注入が行われ、埋込酸化膜2との界面に達する非晶質領域底部が形成される半導体装置の製造方法に本発明を適用すれば、極めて好ましい結果を得ることができる。

【0040】上記SOI層である半導体層3に形成される半導体装置としては、n型MOS型トランジスタ、p型とn型MOSTランジスタとの組合せである相補型MOSTランジスタ、バイポーラ型トランジスタ、さらにMOSTランジスタとバイポーラ型トランジスタの混在されたバイCMOS型トランジスタなど各種半導体素子およびこれらの素子をくみあわせた各種回路を形成できる。

【0041】

【実施例】以下、実施例を用いて本発明をさらに詳細に説明する。理解を容易にするために、図面を用いて説明し、要部は他の部分よりも拡大して示されている。各部の材質、導電型および製造条件などは本実施例の記載に限定されるものではなく、それぞれ多くの変形が可能であることはいうまでもない。

【0042】〈実施例1〉図3は本発明の第一の実施例における製造工程を示す図、図4は完成した半導体装置を示す断面図である。p導電型、抵抗率10 Ωcm 、面方位(100)、直径12.5 cm、結晶軸方位の指示指標であるOFが〈100〉に垂直な方向、表面粗さ0.3 nm RMSの鏡面仕上げされたシリコン(Si)基板3をアンモニア水、過酸化水素水および水からなる洗浄液で清浄化処理した後、1100°Cの湿式熱酸化法

によってその表面上に厚さ500 nmのシリコン酸化膜2を形成した。

【0043】OFが〈110〉に垂直であること以外は、上記Si基板3と同一仕様の別途準備しておいたSiウエーハからなる支持基板1を、上記Si基板3と同一の清浄化処理を行った後、支持基板1の主表面と上記シリコン酸化膜2の上面とを対向させ、両者の間に気泡が生じないように、両者のOFを一致させて端部から密着させ、全面的に接着させた。この状態で1100°C、窒素雰囲気中、2時間の条件で熱処理を行って接着強度を強くした。この熱処理後における接着強度を、引っ張り試験によって測定したところ、800 kg/cm²以上であり、共有結合と同定度の強度であることがわかった。

【0044】Si基板3の裏面側から研削および研磨を順次行って、張合わせ界面からの厚さ約4 μm の単結晶Si層(SOI層)3とした。上記研磨の工程は研磨面の表面粗さが最終的に0.2 nm RMSとなるように三段階で行ない、研磨後のSi層3の厚さ誤差は0.5 μm であった。

【0045】次に上記半導体層3の面内厚さ分布を、光学的手段によって測定しておき、得られた厚さ分布にもとづいて、プラズマプローブによるドライエッチングを行って、厚さ誤差10 nmで厚さ100 nmの単結晶SOI層とした。全く同様の方法によって、厚さが200 nm、300 nm、500 nmおよび800 nmの単結晶SOI層を製造した。上記プラズマプローブは直径0.5 mm、エッチングガスはSF₆を用いた。最後にドライエッチング工程等に起因する汚染を除去する清浄化処理を行って、図4に示すSOI基板を形成した。

【0046】本実施例において製造されたSOI基板では、単結晶半導体層(SOI層)3の厚さが支持基板1の厚さに比べて無視できるほど薄い。そのため、劈開方向は支持基板1の劈開方向によって規定され、支持基板1のOF方向である〈110〉と平行または垂直方向に容易に劈開された。この劈開特性は従来のSOI基板と同一であるが、本実施例においては、半導体層3のOFが〈100〉であるため、半導体層3に形成された非晶質領域の単結晶化速度および電子移動度を最大とすることができた。

【0047】すなわち、劈開の際のチップ欠けを防ぐために、半導体装置をOFと平行または垂直方向に配置するのが従来の通例となっているが、本発明によれば、この通例を保持したまま、半導体層3の単結晶化特性を良好にすることができた。その結果、ソース抵抗が低く、移動度が大きい、従って大電流・高速動作が可能な半導体装置を製造できるSOI基板を提供することができた。なお、SiウエーハのOFは規定方位から2度程度のずれが許容することができるので、支持基板1とSi基板3を張合わせた結果として、両者間の方位に4度程

← 1と31
[6]-2は
よい。

度の誤差(ずれ)が生ずるのは許容されることが確認された。

【0048】〈実施例2〉図5および図6は本発明の第二の実施例における半導体装置の製造方法を示す断面図、図7は完成した半導体装置を示す断面図である。上記実施例1において製造された半導体層(SOI層)3に、周知のMOSトランジスタの製造方法にもとづいて、半導体装置を製造した。トランジスタなど各半導体素子および配線などの配置は、支持基板1のOFに垂直あるいは平行にした。図5において、符号1はOFが<110>に垂直な方向に構成された支持基板、2は膜厚500nmの埋込酸化膜、3はOFが<100>に垂直な方向に構成され厚さ100nmの単結晶の半導体層(SOI層)、4は周知のLOCOS法を用いて形成された厚さ200nmの素子間分離絶縁膜、5は厚さ8nmのゲート酸化膜、6は高濃度に磷が添加された多結晶Si膜からなるゲート電極をそれぞれ表す。

【0049】上記ゲート電極6を形成した後、このゲート電極6を注入阻止マスクとしてAsを高濃度イオン注入し、ソース・ドレイン拡散層を形成した。上記イオン注入によって、図5に示したように、半導体層3の露出箇所には、埋込酸化膜2に達する非晶質領域71、81が形成された。

【0050】窒素雰囲気中で600℃、2時間および850℃、10分の熱処理を行って、図6に示したように、上記非晶質領域71、81を単結晶化して、高濃度ソース拡散層7および高濃度ドレイン拡散層8を形成した。

【0051】次に、周知のMOSトランジスタの製造方法にもとづいて、配線層間絶縁膜9の形成し、この配線層間絶縁膜9の所望箇所へ開口部を形成した後、Alを主材料とする金属膜の形成および所望形状へのパターニングを行なってソース電極10およびドレイン電極11を含む電極および配線層を形成し、図7に示す構造を形成した。

【0052】本実施例において製造された半導体装置は、SOI層である半導体層3のOFと平行または垂直なパターンによって構成されているため、ソース、ドレイン拡散層7、8の方向を規定するゲート電極6の端部の方向も、<100>と平行または垂直に形成された。これにより、非晶質領域71、81の固相結晶成長はゲート電極6の端部に存在する単結晶・非晶質領域境界から<100>方向に進んで単結晶化され、約1μmの幅を有する非晶質領域71、81を全て単結晶化することができた。その結果、ソース、ドレイン拡散層のシート抵抗も、3~5Ω/□と小さくすることができた。この抵抗値は、従来のSOI層に製造されたゲート端部が<110>に垂直、または水平であったMOSトランジスタのソース、ドレイン拡散層のシート抵抗の1/2から1/3倍である。これにより、ソース抵抗も1/2から

1/3倍に低減され、半導体装置の大電流化に寄与することができた。なお、本実施例において、各半導体装置を互いに分離するために行なわれるチップの劈開は、ウェーハの厚さを規定する支持基板1のOFによって定まり、従来の方法と全く同様に、半導体装置の配置と平行および垂直方向に、容易に制御することができた。

【0053】〈実施例3〉図8は本発明の第3の実施例である随時書込み読出し記憶装置の構成を示す図である。本実施例は、上記SOI層に形成された<100>に平行な方向のパターンおよび垂直な方向のパターンによって規定された本発明の半導体装置を、随時書込み読出し型記憶装置(DRAMと称される)に適用した例である。

【0054】一記憶単位であるメモリセルは、図8(b)に示したように、本発明による一つの半導体装置Q₁と一つの容量素子C_sが直列接続されて構成され、データ伝達線であるビット線、および入出力制御のワード線に接続されている。

【0055】本随時書込み読出し型記憶装置は、図8(a)に示したように、メモリセルが行列状に配置されたメモリセルアレイと制御用周辺回路によって構成されているが、周辺回路も本発明の半導体装置を用いて構成した。メモリセル選択のアドレス信号端子数を低減するため、列アドレス信号と行アドレス信号をずらして多重化して印加するが、RASとCASは各々パルス信号であり、クロック発生器を制御してアドレス信号を行デコードと列デコードに振分けている。緩衝回路であるアドレスバッファにより行デコードおよび列デコードに振分られたアドレス信号に従って特定のワード線、およびビット線を選択する。各ビット線にはフリップフロップ型増幅器によるセンスアンプが接続され、メモリセルから読出された信号を増幅する。パルス信号WEは書込みクロック発生器を制御することにより書込みと読出しの切換えを制御する。Dは書込み、および読出し信号である。

【0056】本実施例では、使用された各半導体装置が、上記のように<100>に平行な方向のパターンおよび垂直な方向のパターンによって規定された本発明の半導体装置であるため、アクセス時間を従来比で10%以上低減でき、高速化が実現できた。

【0057】〈実施例4〉図9は本発明の第4の実施例の構成を示す図であり、上記SOI層に形成された<100>に平行な方向のパターンおよび垂直な方向のパターンによって規定された本発明の半導体装置を、常時書込み読出し型記憶装置(SRAMと称される)に適用した例である。

【0058】図9(b)に示したように、一記憶単位であるメモリセルは、上記SOI層に形成された<100>に平行な方向のパターンおよび垂直な方向のパターンによって規定された二組の本発明の相補型MOSトランジスタと信号の入出力を制御する二つのMOSトラン

ジスタ(トランスファMOSトランジスタと称される)で構成される。

【0059】このSRAMは、図9(a)に示したように、メモリセルが行列状に配置されたメモリセルアレイと制御用周辺回路で構成されるが、周辺回路も本発明の半導体装置により構成した。本実施例の構成は基本的には上記実施例3とほぼ同一であるが、SRAMを高速化および低消費電力化するためにアドレス遷移検出器を設け、これにより発生するパルスによって内部回路を制御した。さらに、アドレスバッファからデコーダまでの回路を高速化するため、行デコーダをプリデコーダと主デコーダの二段から構成した。チップセレクトは信号CSおよびWEによって、情報の書込みおよび読出し時のデータの競合を避け、かつ書込みサイクル時間と読出しサイクル時間をほぼ同じにして、高速動作を可能にした。

【0060】本実施例のSRAMを構成する各半導体装置が、上記SOI層に形成された〈001〉に平行な方向のパターンおよび垂直な方向のパターンによって規定された本発明の半導体装置であるため、電源電圧を従来の場合の3.5Vから2.0Vと低減でき、かつアクセス時間を従来比で10%以上低減でき、高速化が実現できた。

【0061】〈実施例5〉図10は本発明の他の実施例による半導体装置の構成を示す図である。本実施例は、上記SOI層に形成された〈100〉に平行な方向のパターンおよび垂直な方向のパターンによって規定された本発明の半導体装置によって論理回路装置を構成した例である。図5は複合ゲート回路の例を示したが、本発明の半導体装置により複合ゲート回路にNAND回路とNOR回路を含む論理回路に適用した。図5に示した複合ゲート回路は、 $V_{out} = V_1 \cdot V_2 + V_3 \cdot V_4$ なる論理演算を行う回路であり、上記演算をNAND回路とNOR回路の組合せで構成することにより、所要トランジスタ数を1/2に低減できた。

【0062】本実施例の論理回路装置が、上記SOI層に形成された〈100〉に平行な方向のパターンおよび垂直な方向のパターンによって規定された本発明の半導体装置によって構成されているため、従来の論理回路装置に比べて遅延時間を10%以上低減することができた。この効果は、上記はSOI構造による寄生容量の低減および上記SOI層に形成された〈001〉に平行な方向のパターンおよび垂直な方向のパターンによって規定された半導体装置による大電流化によって得られたものと考えられる。

【0063】〈実施例6〉図11は本発明の他の実施例による半導体装置の構成を示す図である。本実施例は、上記SOI層に形成された〈100〉に平行な方向のパターンおよび垂直な方向のパターンによって規定された本発明の半導体装置によって、非同期伝送方式(ATM交換器と称される)の信号伝送処理装置を構成した例で

ある。

【0064】図11において、光ファイバーを介して極めて高速で直列的に伝送されてきた情報信号(入力光信号)は、電気信号に変換し(O/E変換)および並列化(S/P変換)させる装置LSIを介して、上記本発明の半導体装置によって構成された集積回路(BFMLS I)に導入される。このBFMLS Iによって番地付処理された電気信号は、直列化(P/S変換)および光信号化(E/O変換)され、出力光信号として光ファイバーで出力される。

【0065】上記BFMLS Iは多重器(MUX)、バッファメモリ(BFM)および分離器(DMUX)から構成されている。このBFMLS Iは、メモリ制御LSIおよび空アドレス振分け制御の機能を有するLSI(空アドレスFIFOメモリLSI)により制御される。本信号伝送処理装置は、伝送すべき番地と無関係に送られてくる高速伝送信号を所望番地に高速で伝送するスイッチの機能を有する装置である。BFMLS Iは入力光信号の伝送速度に比べて動作速度が著しく遅いため、入力信号を直接スイッチングできず、入力信号を一時記憶させ、記憶された信号をスイッチングしてから超高速な光信号に変換して所望番地に伝送する方式を用いている。BFMLS Iの動作速度が遅ければ、大きな記憶容量が要求される。本実施例によるATM交換器においては、BFMLS Iが、上記のようにSOI層に形成された〈001〉に平行な方向のパターンおよび垂直な方向のパターンによって規定された本発明の半導体装置によって構成されているので、従来のBFMLS Iに比べて動作速度が10%高く、かつ低価格となった。そのため、BFMLS Iの記憶容量を従来比で約1/3と低減し、さらにATM交換器の製造原価を低減することができた。

【0066】〈実施例7〉他の実施例を図12を用いて説明する。本実施例は、上記本発明の半導体装置を、命令や演算を処理するプロセッサ500が複数個並列に接続された高速大型計算機に適用した例である。上記本発明の半導体装置を用いると、バイポーラトランジスタを用いた従来の集積回路よりも集積度が高く、しかも価格も低くなるため、命令や演算を処理するプロセッサ500、システム制御装置501および主記憶装置502等を、1辺が10から30mmである上記本発明の半導体装置で構成した。

【0067】これら命令や演算を処理するプロセッサ500、システム制御装置501、および化合物半導体装置からなるデータ通信インタフェース503を同一セラミック基板506に実装した。また、データ通信インタフェース503、およびデータ通信制御装置504を同一セラミック基板507に実装した。これらセラミック基板506、507と主記憶装置502が実装されたセラミック基板を大きさが1辺約50cm程度、あるいはそれ以下の基板に実装し、計算機の中央処理ユニット5

08を形成した。この中央処理ユニット508内データ通信や、複数の中央処理ユニット間データ通信、あるいはデータ通信インタフェース503と入出力プロセッサ505を実装した基板509との間のデータの通信は、図12において矢印によって示した光ファイバ510を介して行った。

【0068】この計算機では、命令や演算を処理するプロセッサ500、システム制御装置501および主記憶装置502などが、いずれも上記本発明による半導体装置によって形成されているため、極めて高速度で並列動作し、またデータの通信が光を媒体に行われるため、1秒間当たりの命令処理回数を従来より大幅に増加することができた。

【0069】

【発明の効果】本発明によれば、薄いSOI層を有する半導体基板上に構成された従来の半導体装置の欠点であった、高濃度イオン注入領域の不完全な結晶化を解消し、結晶欠陥の無い、従って低抵抗な拡散領域を実現することができる。さらに、本発明によれば半導体ウエーハから各半導体装置を分離する際に重要な劈開方向を、半導体装置が形成されたチップと平行、および垂直方向に設定できるため、チップ欠け不良による歩留まり低下を防止することができる。

【図面の簡単な説明】

【図1】従来の半導体基板を示す平面図および断面図、

【図2】従来の半導体装置の製造工程および完成した構造を示す断面図、

【図3】本発明の第一の実施例を示す平面図および断面

図、

【図4】本発明の第一の実施例を示す平面図および断面図、

【図5】本発明の第二の実施例を示す断面図、

【図6】本発明の第二の実施例を示す断面図、

【図7】本発明の第二の実施例を示す断面図、

【図8】本発明の第三の実施例を説明するための随時書き込み読み出し記憶装置の構成図、

【図9】本発明の第四の実施例を説明するための常時書き込み読み出し記憶装置の構成図、

【図10】本発明の第五の実施例を説明するための論理回路装置の構成図、

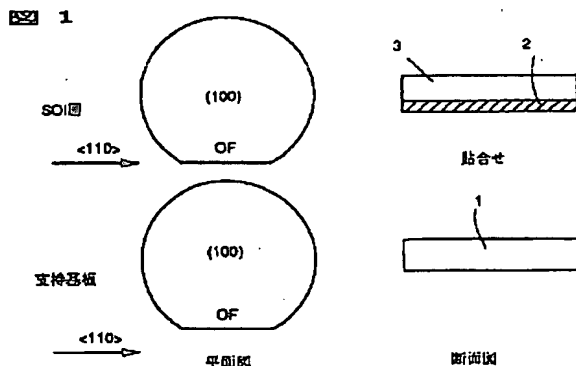
【図11】本発明の第六の実施例を説明するための非同期伝送モードシステムの構成図、

【図12】本発明の第七の実施例を説明するための計算機の構成図。

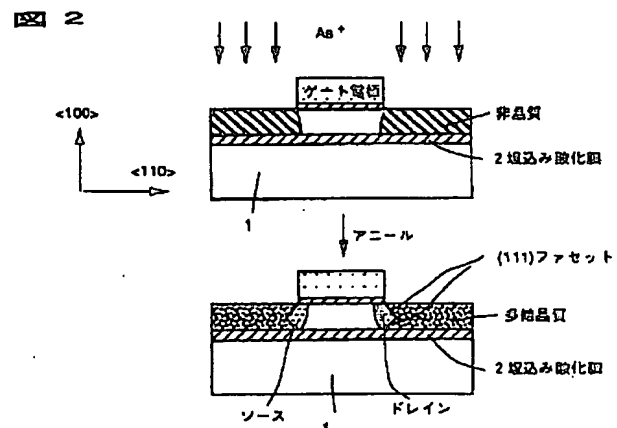
【符号の説明】

1…支持基板、2…埋込酸化膜、3…単結晶Si層、4…素子間分離絶縁膜、5…ゲート酸化膜、6…ゲート電極、7…ソース拡散層、8…ドレイン拡散層、71、81…非晶質領域、9…配線保護絶縁膜、10…ソース電極、11…ドレイン電極、500…プロセッサ、501…システム制御装置、502…主記憶装置、503…データ通信インタフェース、504…データ通信制御装置、505…入出力プロセッサ、506…セラミック基板、507…セラミック基板、508…中央処理ユニット、509…入出力プロセッサ実装基板、510…データ通信用光ファイバ。

【図1】

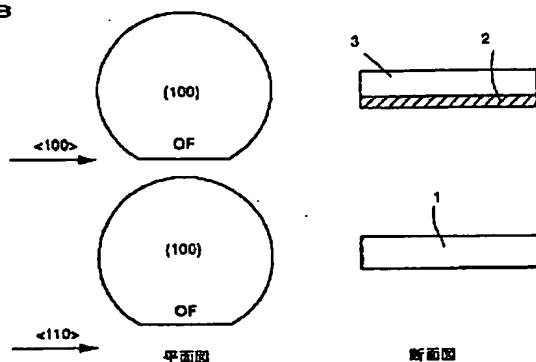


【図2】



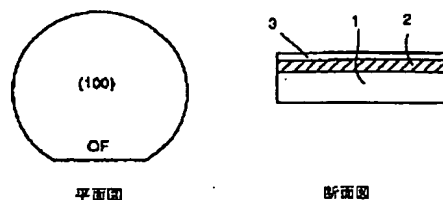
【図3】

図 3



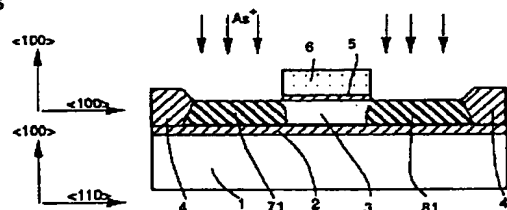
【図4】

図 4

SOI層: <100>
支持基板: <110>

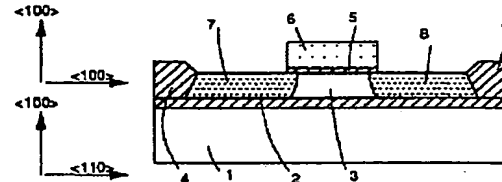
【図5】

図 5



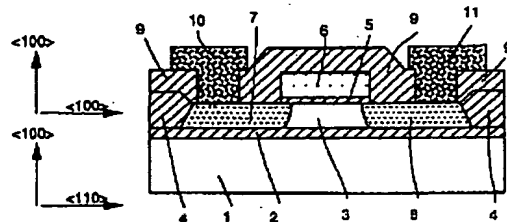
【図6】

図 6



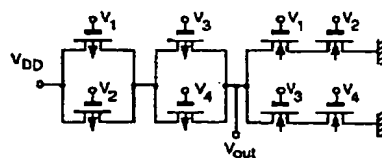
【図7】

図 7



【図10】

図 10



【図12】

【図11】

図 11

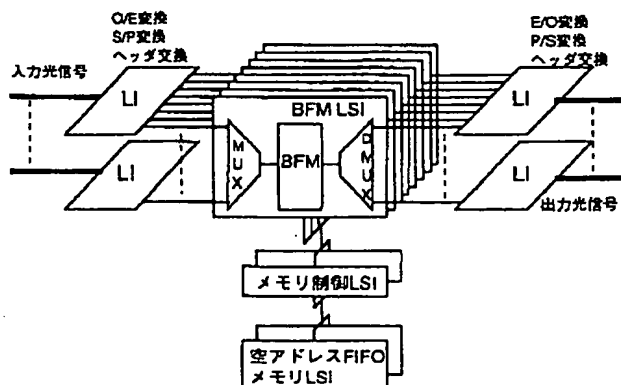
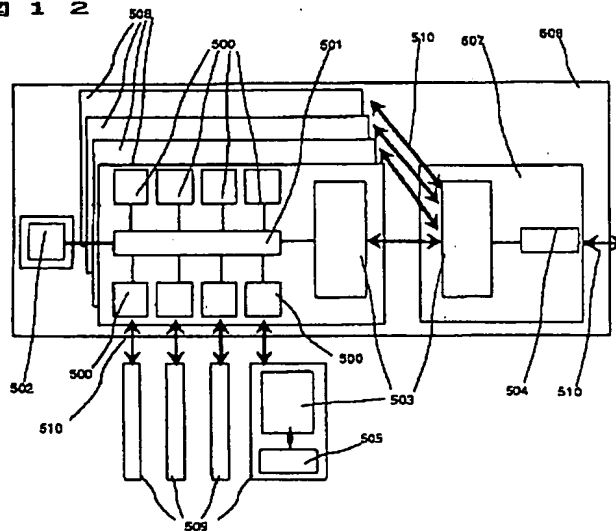


図 12



【図8】

図 8

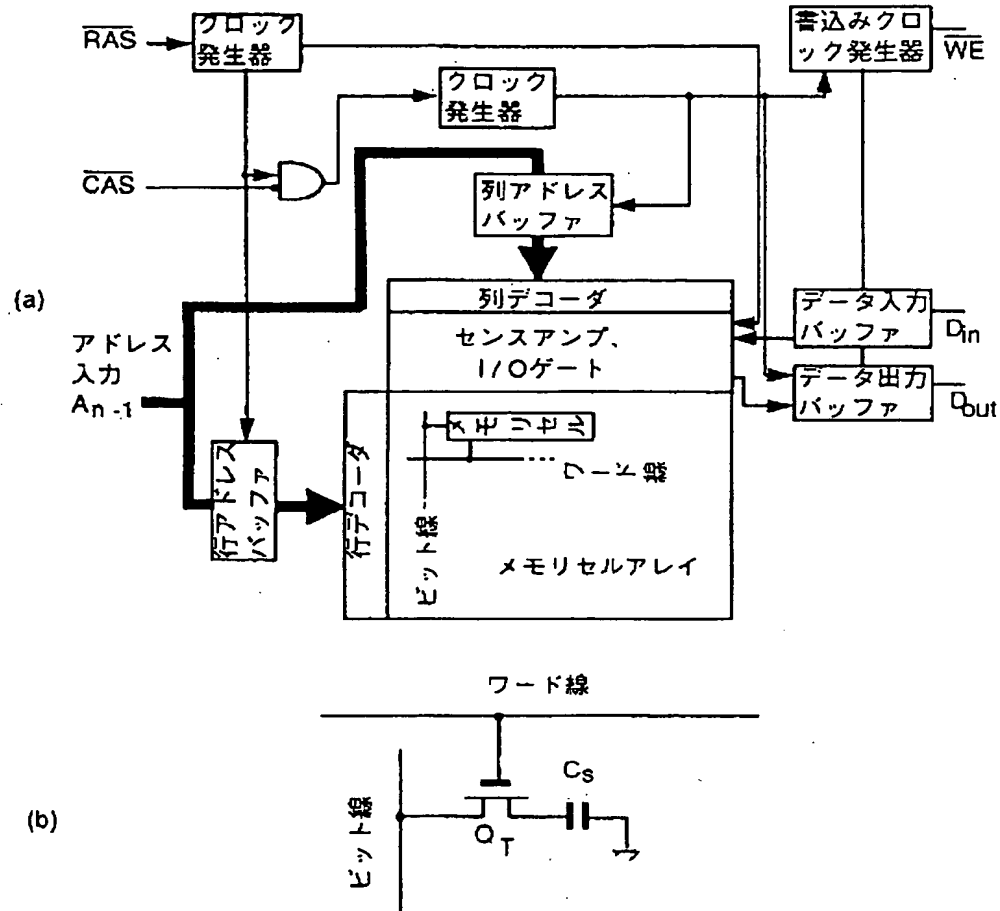


图 9



技術表示箇所